

## PATENT ABSTRACTS OF JAPAN

BOI

(11)Publication number : 10-069768

(43)Date of publication of application : 10.03.1998

(51)Int.Cl.

**G11C 11/406**

(21)Application number : 09-202436

(71)Applicant : MOTOROLA INC

(22)Date of filing : 11.07.1997

(72)Inventor : BEN-ZVI JACOB

(30)Priority

Priority number : 96 683642

Priority date : 15.07.1996

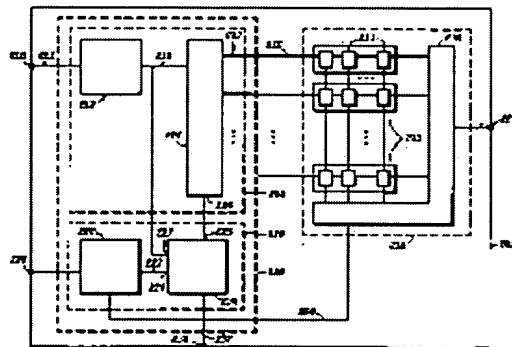
Priority country : US

## (54) DYNAMIC MEMORY ELEMENT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a refresh circuit in which power consumption is reduced and a refresh method of a dynamic memory element.

**SOLUTION:** A row to be refreshed is decided by a logic function and a reference address 223. It is discriminated by a control logic 224 whether a refresh signal 215 is supplied or not to some row, in an output of a decoder 214. A control logic 224 is connected to a reference register 222 storing an address generator 212 and a reference address 223. It can be discriminated which row is to be refreshed by supplying the reference address 223 to a refresh circuit 230. A memory array 210 of a dynamic memory element 201 can be partially refreshed, an energy consumption for refreshing can be reduced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-69768

(43) 公開日 平成10年(1998) 3月10日

(51) Int.Cl.<sup>6</sup>

G 1 1 C 11/406

識別記号

庁内整理番号

F I

G 1 1 C 11/34

技術表示箇所

3 6 3 J

審査請求 未請求 請求項の数 5 F D (全 7 頁)

(21) 出願番号 特願平9-202436

(22) 出願日 平成9年(1997) 7月11日

(31) 優先権主張番号 6 8 3 6 4 2

(32) 優先日 1996年7月15日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009597

モトローラ・インコーポレイテッド

MOTOROLA INCORPORATED

アメリカ合衆国イリノイ州シャンバーグ、  
イースト・アルゴンクイン・ロード1303

(72) 発明者 ジャコブ・ベンービ

アメリカ合衆国テキサス州オースティン、ピ  
ア・メディア4713

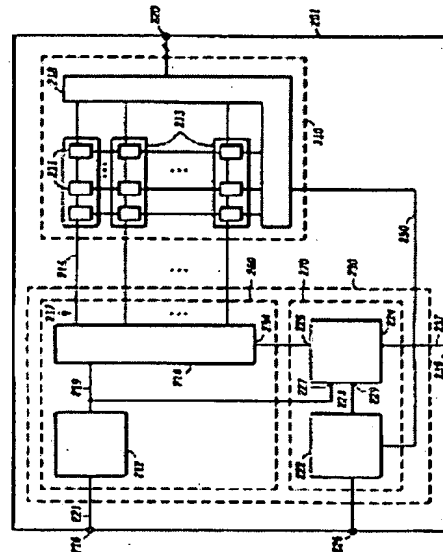
(74) 代理人 弁理士 大賀 進介 (外1名)

(54) 【発明の名称】 ダイナミック・メモリ素子

(57) 【要約】

【課題】 消費電力低減を図ったリフレッシュ回路 (230) およびダイナミック・メモリ素子 (201) のリフレッシュ方法を提供する。

【解決手段】 リフレッシュすべき行は、論理関数および基準 アドレス (223) によって決定する。デコーダ (214) の出力において、ある行にリフレッシュ信号 (215) を供給するかどうかは、制御ロジック (224) によって判定される。制御ロジック (224) は、アドレス発生器 (212) および基準 アドレス (223) を格納する基準 レジスタ (222) に接続されている。基準 アドレス (223) をリフレッシュ回路 (230) に供給することによって、どの行をリフレッシュすべきかを判定することができる。ダイナミック・メモリ素子 (201) のメモリ・アレイ (210) は、部分的にリフレッシュすることができ、リフレッシュのためのエネルギー消費低減が可能となる。



【特許請求の範囲】

【請求項 1】ダイナミック・メモリ素子（201）であって：

（a）複数の記憶素子（211）；  
（b）前記憶素子（211）にリフレッシュ信号（215）を送出する信号供給源（260）；および  
（c）前記信号供給源（260）に結合され、前記信号供給源（260）を制御し、特定のリフレッシュ・サイクルの間、記憶素子（211）の第1部分のみをリフレッシュし、記憶素子（211）の第2部分をリフレッシュしないプログラム可能信号制御部（270）；から成ることを特徴とするダイナミック・メモリ素子（201）。

【請求項 2】前記信号供給源（260）は：

a）前記憶素子（211）にアドレス（219）を供給するアドレス発生器（212）；および  
b）前記アドレス発生器（212）から前記アドレス（219）を受信し、前記信号制御部（270）から受信した制御信号に応じて、前記憶素子（211）の前記第1部分にはリフレッシュ信号（215）を送出するが、前記憶素子（211）の前記第2部分には送出不するデコーダ（214）；から成ることを特徴とする請求項 1 記載のダイナミック・メモリ素子（201）。

【請求項 3】前記信号制御部（270）は：基準アドレス（223）を格納する基準レジスタ（222）；および前記基準レジスタ（222）、前記アドレス発生器（212）、および前記デコーダ（214）に結合された制御ロジック（224）から構成され、前記制御ロジックは、前記アドレス発生器（212）が発生した前記アドレス（219）および前記基準アドレス（223）を使用して、どの記憶素子（211）が前記第1部分に属し、どの記憶素子（211）が前記第2部分に属するのかを判定することを特徴とする請求項 2 記載のダイナミック・メモリ素子（201）。

【請求項 4】前記制御ロジック（224）は、外部端子（236）に印加される信号（237）によって制御可能であることを特徴とする請求項 3 記載のダイナミック・メモリ素子（201）。

【請求項 5】複数の記憶素子（211）を有するダイナミック・メモリ素子（201）のリフレッシュ方法であって：a）前記憶素子（211）に対してアドレス（219）を発生して基準アドレス（223）を格納する段階、または、基準アドレス（223）を格納して前記憶素子（211）に対するアドレス（219）を発生する段階；b）論理関数によって前記憶素子のアドレス（219）および前記基準アドレス（223）を開係付けることによって、個々の記憶素子のアドレス（219）が、前記憶素子アドレス（219）の第1部分または第2部分のどちらに属するのかを判定する段階；およびc）前記憶素子のアドレス（219）が前記第

1部分に属する場合のみ、前記憶素子にリフレッシュ信号（215）を送出する段階；から成ることを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ダイナミック・メモリ素子、および、例えば、ダイナミック・ランダム・アクセス・メモリ（DRAM:Dynamic Random Access Memory）のようなダイナミック・メモリ素子のリフレッシュ方法に関するものである。尚、ダイナミック・メモリ素子は、ダイナミック・ランダム・アクセス・メモリに限定される訳ではないことを付記しておく。

【0002】

【従来の技術】DRAMのようなダイナミック・メモリ素子は、リフレッシュする必要がある。これはエネルギーを消費する。多くのシステムにおいて、エネルギーの消費は性動作能に対して非常に重大であり、リフレッシュに使用される電力は低減すべきである。

【0003】エネルギー消費の低減は、DRAMのみでなく、消費電力の少ないスタティック・メモリ（SRAM）も使用することによって可能である。スタンバイ・モードの間、重要なデータはSRAMに格納し、DRAMはオフに切り替えて、リフレッシュを行わなければよい。しかしながら、SRAMを設けることによって、追加のコストおよび空間が必要となる。更に、2つの異なるメモリ・アクセス・サイクルが必要となる。

【0004】米国特許番号第5,331,601号は、入力リフレッシュ・アドレスを変更してアクセスするメモリ・セルを減らすことによって電力を節約し、あるいはアドレスするメモリ・セルを増やすことによってリフレッシュ時間を短縮するメモリ素子について記載している。回路は、単純なトランジスタ構成から成り、あるアドレス・ビットを遮断し、次いで、その位置にあるアクティブ・ビットを交換してアドレス・デコーダに向けられる。また、この回路は、メモリ素子がリフレッシュ・モードに入ったことに応答するコントローラも含む。この素子をリフレッシュ・モードで使用する場合、アドレス・ビットは、遮断されずにアドレス・デコーダに渡され、完全なユーザ制御が可能となる。

【0005】他の従来技術の引用例として、ヨーロッパ特許出願番号448593号は、電力供給が停止した場合のリフレッシュの安定性に関するものである。

【0006】図1は、従来技術のダイナミック・メモリ素子101のブロック構成図を示す。

【0007】ダイナミック・メモリ素子101は、メモリ・アレイ110、アドレス発生器112およびデコーダ114を備えている。アドレス発生器112およびデコーダ114の組み合わせのことを、リフレッシュ回路130と呼ぶことにする。図1に示すように、ダイナミック・メモリ素子101は、データ端子120およびオ

フション端子116も含む。メモリ・アレイ110は、多数の記憶素子111およびデータ・アクセス手段118から成る。データ・アクセス手段118は、記憶素子111に格納するデータの書き込み、ならびに記憶素子111内のデータの読み出しおよび更新を行うために設けたものである。データ・アクセス手段118は、記憶素子111およびデータ端子120に接続されている。

【0008】メモリ・アレイ110内の記憶素子111の物理群の1つをブロック113と呼ぶことにする。ブロック113は、論理的に、 $A_1, A_i, \dots, A_n$ で示されている。メモリ・アレイ110では、ブロック113の数は $n$ である。論理的に、ブロック・アドレス $a_1, a_i, \dots, a_n$ が、ブロック $A_1, A_i, \dots, A_n$ に割り当てられている。1つのブロック $A_i$ に対して、1つのブロック・アドレス $a_i$ がある。

【0009】デコーダ114の出力117は、対応するブロック113の記憶素子111に接続されている。アドレス発生器112がデコーダ114に接続され、ブロック113 ( $A_1, A_i, \dots, A_n$ ) に対応するブロック・アドレス119 ( $a_1, a_i, \dots, a_n$ ) を発生する。

【0010】ダイナミック・メモリ素子101は、データ端子120またはオプション端子116を介して、他の素子にも接続可能である。オプション端子116は、アドレス発生器112に制御信号121を供給する。例えば、制御信号121は、クロック信号とすることができる。

【0011】1リフレッシュ・サイクルにおいて、アドレス発生器112は、メモリ・アレイ110の全てのブロック113 ( $A_1, A_i, \dots, A_n$ ) に対して、ブロック・アドレス119 ( $a_1, a_i, \dots, a_n$ ) を発生する。ブロック・アドレス $a_1, a_i, \dots, a_n$ は、例えば、昇順値(ascending value)または降順値(descending value)を有する。また、ブロック・アドレス $a_1, a_i, \dots, a_n$ はデコーダ114に供給される。デコーダ114は、メモリ・アレイ110上の対応するブロック113に、リフレッシュ信号115を送出する。リフレッシュ信号115を受信すると、1ブロック113の全記憶素子111の内容が、データ・アクセス手段118によって更新され、こうして各ブロック113のリフレッシュが行われる。各リフレッシュ・サイクルの終了時に、アドレス発生器112は自動的にリセットし、クロック信号が使用可能となったとき、サイクルは再び開始可能となる。クロック信号は、制御信号121として、オプション端子116を介して供給することができる。また、アドレス発生器112自体がそれを発生することも可能である。

【0012】DRAMの場合、例えば、行状に配列されているメモリ・アレイから成るアレイにデータを格納する場合が頻繁にある。このような場合、メモリ・セルが

記憶素子111に対応し、行がブロック113に対応し、カウンタがアドレス発生器112に対応し、行デコーダがデコーダ114に対応し、データアクセス手段118は情報を読み出すためのチャージ検出回路から成る。行アドレスはカウンタ内で発生され、行デコーダに供給される。行デコーダは、出力117を介して、各行に接続されている。行デコーダの出力における信号は、上述のリフレッシュ信号115である。リフレッシュ信号115が特定の行に印加されると、この特定の行の各単一メモリ・セルの情報が読み出され、必要であれば、メモリ・セルのコンデンサが再充電され、こうしてこの行はリフレッシュされる。

【0013】説明の都合上、限定を意図せずに、以下の例を与える。

【0014】1Mビットのデータを格納するための1024×1024個のメモリ・セルのアレイを有するDRAMでは、メモリ・セルは、 $A_1, \dots, A_{1024}$ として表わす1024行に配列されている。行デコーダは各行に接続され、上述のリフレッシュ信号115をこれらの行に供給する。カウンタは、増加するアドレス $a_i$ を生成する。このアドレス $a_i$ は、 $a_1 = 1$ から $a_{1024} = 1024$ までの整数である。例えば、アドレス $a_{256} = 256$ が行デコーダの入力に供給されると、行 $A_{256}$ の1024個のメモリ・セル全てが次々にリフレッシュされる。各メモリ・セルの電荷は、データ・アクセス手段118の一部である、電荷検出回路によって検出される。メモリ・セルが充電されている場合、それは再充電される。これが意味するのは、充電されているコンデンサ(例えば、ビット「1」を表わす)を有するメモリ・セルは全て再充電され、充電されていないコンデンサ(例えば、ビット「0」を表わす)を有するメモリ・セルは再充電されないということである。

【0015】また、DRAMは通常各メモリ・セルの情報を読み出すために、データ・アクセス手段118を含む。各メモリ・セルにアクセスするためには、例えば、列アドレスのような追加のアドレスが必要である。この追加のアドレスは、データ端子120を介して供給することができる。

【0016】

【発明が解決しようとする課題】図1のダイナミック・メモリ素子101では、メモリ・アレイ110の全ブロック113が各リフレッシュ・サイクル毎にリフレッシュされ、このためにエネルギーが消費される。

【0017】本発明は、ダイナミック・メモリ素子のための改良されたリフレッシュ回路、およびかかる素子における従来技術の上述の問題を低減または克服する、リフレッシュ方法を提供するものである。

【0018】

【課題を解決するための手段】本発明のリフレッシュ回路およびダイナミック・メモリ素子においては、リフレ

リフレッシュすべき行は、論理関数および基準 アドレスによって決定する。デコーダの出力において、ある行にリフレッシュ信号（を供給するかどうかは、制御ロジックによって判定される。制御ロジックは、アドレス発生器および基準 アドレスを格納する基準 レジスタに接続されている。基準 アドレスをリフレッシュ回路に供給することによって、どの行をリフレッシュすべきかを判定することができる。ダイナミック・メモリ素子のメモリ・アレイは、部分的にリフレッシュすることができ、リフレッシュのためのエネルギー消費低減が可能となる。

【0019】

【発明の実施の形態】図2は、本発明の好適実施例による、改良されたリフレッシュ回路230を有するダイナミック・メモリ素子201の構成図を示す。

【0020】従来技術と同様、ダイナミック・メモリ素子201は、メモリ・アレイ210、アドレス発生器212およびデコーダ214を備えている。加えて、ダイナミック・メモリ素子201は、基準 レジスタ222またはその他の記憶手段、および制御ロジック224も備えている。また、ダイナミック・メモリ素子201は、データ端子220およびオプション端子216、226、236も備えている。

【0021】アドレス発生器212およびデコーダ214の組み合わせのことを、信号供給源260と呼ぶことにする。また、基準 レジスタ222および制御ロジック224の組み合わせのことを、信号制御部270と呼ぶことにする。信号供給源260および信号制御部270は、リフレッシュ回路230を形成する。

【0022】従来技術におけると同様、メモリ・アレイ210は、多数の記憶素子211およびデータ・アクセス手段218から成る。データ・アクセス手段218は、データの書き込み、ならびに記憶素子211に格納されているデータの読み出しおよび更新を行うために設けられたものである。データ・アクセス手段218は、記憶素子211およびデータ端子220に接続されている。オプション端子216は、アドレス発生器212のために、制御信号221を供給することができる。例えば、制御信号221はクロック信号とすることができる。

【0023】メモリ・アレイ210内の記憶素子211の1物理群のことをブロック213と呼ぶことにする。各ブロック213は、論理的に、 $A1, A1, \dots, An$ で示されている。メモリ・アレイ210においては、ブロック213の数は $n$ である。ブロック・アドレス $a1, a1, \dots, an$ が、ブロック $A1, A1, \dots, An$ に論理的に割り当てられている。1つのブロック $Ai$ に対して、1つのアドレス $ai$ がある。デコーダ214の出力217は、対応するブロック213の記憶素子211に接続されている。

【0024】図1および図2において、リフレッシュ番

号101/201, 110/210, 111/211, 112/212, 113/213, 114/214, 115/215, 116/216, 117/217, 118/218, 119/219, 120/220, 121/221, 130/230は、同等な素子または信号を表わす。しかしながら、それらの動作または機能は、実施例の結果として異なるものとなる。これについては、図2を参照しながら詳しく説明する。

【0025】基準 レジスタ222は、基準 アドレス $ar$ を格納するために用いられる。図2において、基準 アドレス $ar$ は番号223で示されている。基準 アドレス $ar$ は、オプション端子226によって、基準 レジスタ222に供給することができる。制御ロジック224が、アドレス発生器212への入力227、および基準 レジスタ222への入力229に接続されている。デコーダ214には、制御ロジック224の出力225に接続されたENABLE-入力234が設けられている。メモリ・アレイ210および基準 レジスタ222間には、オプションのリンク250を設けることができる。オプション端子236は、制御ロジック224に信号を供給するために用いることができる。

【0026】アドレス発生器212は、連続的にブロック・アドレス( $a1, a1, \dots, an$ )をデコーダ214に供給する。

【0027】一定の基準・アドレス $ar$ が制御ロジック224の入力229に現れる。制御ロジック224の入力には、アドレス発生器212からの変化するアドレス $a1, a1, \dots, an$ のアドレス $ai$ がある。制御ロジック224は、このアドレス $ai$ を基準 アドレス $ar$ と比較し、制御ロジック224において実施される論理関数 $f(ai, ar)$ に応じて、デコーダ214をONおよびOFFに切り替える。論理関数 $f(ai, ar)$ は、大小比較、偶数奇数、モジュロ等のような関係で表わすことができる。このように、デコーダ214は、制御ロジック224によってそのENABLE-入力234がイネーブルされたときのみ、リフレッシュ信号215をメモリ・アレイ210に送出する。

【0028】リフレッシュ・アドレス $ar$ またはそれを生成する情報は、オプション端子226を介して基準 レジスタ222に供給することができる。あるいは内部でそれを格納することも可能である。制御ロジック224において論理関数を実施することができるが、制御ロジック224に論理関数 $f(ai, ar)$ を供給するいずれかの手段を使用することも可能である。例えば、論理関数 $f(ai, ar)$ は、オプション端子236を介して制御ロジック224に供給することができ、あるいはオプション端子226またはオプション端子216またはそれらの組み合わせを介して供給することができ、さらにまた、ダイナミック・メモリ素子210内に格納することもできる。

【0029】DRAMの好適実施例では、制御ロジック224は比較器である。例えば、制御ロジック224は、 $a_i < ar$  および  $a_i = ar$  の場合に、デコーダ214をイネーブルする。そして、 $a_i > ar$  の場合にデコーダ214をディゼーブルする。例えば、A1からA1024まで  $n = 1024$  の行があり、 $a_1 = 1$  から  $a_{1024} = 1024$  までのアドレスを有し、基準レジスタ222は  $ar = a_{512} = 512$  の値を有すると仮定する。アドレス発生器212はアドレス  $a_i$  を発生する。本例では、このアドレス  $a_i$  は、1から1024までであり、再び1に戻る。これらのアドレスが512以下の場合、デコーダ214はイネーブルされ、行A1ないしA512はリフレッシュされる。次に、アドレス発生器212は更に513から1024までカウントするが、デコーダ214はディゼーブルされ、行A513、A514、...、A1024はリフレッシュされない。この例では、リフレッシュされた行A1、A2、...、A512は連続である。これは好都合であるが必須ではない。リフレッシュされない行A513、A514、...、A1024も連続とすることができる。

【0030】DRAMの別の例では、制御ロジック224は異なる論理関数  $f(a_i, ar)$  を有する。例えば、 $ar = 1$  のとき、制御ロジック224は、偶数のブロック・アドレス  $a_i$  に対してデコーダ214をイネーブルし、奇数のブロック・アドレス  $a_i$  に対してデコーダ214をディゼーブルすることができる。また、 $ar = 0$  のとき、制御ロジック224は、ブロック・アドレス  $a_i$  が偶数が基数には無関係に、デコーダ214を常にイネーブルすることができる。この場合、 $ar$  は1ビットのみを有すればよい。

【0031】全ての場合において、1サイクルにおいて全ブロック・アドレス  $a_1, a_i, \dots, a_n$  の発生を行うアドレス発生器212の動作は、従来技術の場合と同一とすることができる。アドレス発生器212および基準レジスタ222は独立している。リフレッシュすべきメモリ・アレイ210内のブロック213の数は、基準レジスタ222の基準アドレス  $ar$  および制御ロジック224が命令する論理関数  $f(a_i, ar)$  のみに依存する。

【0032】全ブロック213、したがって全記憶素子211がリフレッシュされる従来技術と比較して、図2の本発明は、記憶素子211の全数を2つの集合に分割することができる。即ち、記憶素子211の第1集合をリフレッシュし、記憶素子211の第2集合をリフレッシュしない。「集合」という用語はブロック213にも適用可能である。即ち、ブロック213の第1集合の記憶素子211はリフレッシュされ、ブロック213の第2集合の記憶素子211はリフレッシュされない。言い換えれば、従来技術のリフレッシュ回路130は、アレイ全体のリフレッシュしかできず、一方、本発明のリフ

レッシュ回路230は、記憶素子のメモリ・アレイ全体のリフレッシュだけでなく、その部分的なリフレッシュも可能とする。また、本発明には、基準アドレス  $ar$  および論理関数  $f(a_i, ar)$  は、ダイナミック・メモリ素子201の外部からの供給が可能であることも含まれる。

【0033】ダイナミック・メモリ素子201を用いるシステムが最大のメモリ容量を必要とする場合、基準レジスタ222をある値  $ar_0$  にセットすることができる。この値  $ar_0$  は、好ましくは、アドレス発生器212の最小アドレス  $a_1$  または最大アドレス  $a_n$  と等しいが、これを除外しない。こうすると、メモリ・アレイ210は、各リフレッシュ・サイクル毎に完全にリフレッシュされるので、最大のデータ量を格納することが可能となる。上述の第1集合はブロック213全てを含み、第2集合は空となる。

【0034】尚、本発明は、1つのアドレス発生器212、基準レジスタ222または制御ロジック224の使用のみに限定されるものではない。追加のユニットを使用し、リフレッシュすべきブロック213をより柔軟に指定するように組み合わせることも可能である。これは、ダイナミック・メモリ素子201が連想記憶装置(Content Addressable Memory)であり、ダイナミック・メモリ素子201が用いられているシステムによって、リフレッシュすべきブロックを制御する必要がある場合に、特に重要となる。

【0035】リフレッシュ回路230を最適化することにより、基準レジスタ222に障害が発生しても、重要なデータが格納されていることを保証することができる。メモリ・アレイ210は完全にリフレッシュされ、基準レジスタ222の障害は電力消費に影響を及ぼすのみであり、データの安全性には無関係であるので、フェール・セーフ動作(fail-safe operation)を提供することができる。

【0036】基準アドレス  $ar$  および論理関数  $f(a_i, ar)$ 、したがってリフレッシュすべきブロック213は、ソフトウェアによって決定し、システムおよび各用途の要件に合わせて調節することができる。

【0037】本発明の更に別の実施例では、基準レジスタ222は、ある値  $ar_{fix}$  にセットすることができる。この値は、ダイナミック・メモリ素子201の外部からは変更することはできない。かかる構成では、制御信号237をオプション端子236に供給する。制御信号237に応じて、メモリ・アレイ210に、完全なリフレッシュまたは部分的なみのリフレッシュを行う。

【0038】本発明の更に別の実施例では、基準レジスタ222は、オプション・リンク250によって直接データ・アクセス手段218に結合される。基準アドレス  $ar$  は、DRAMに格納されるデータの一部となる。

【0039】本発明の応用は、例えば、ラップ・トップ

・コンピュータ、携帯コンピュータ・ゲーム、セルラ電話機、ページャ、補聴器(hearing aides)等、広範囲におよぶ電池給電式の携帯システムに見出すことができる。

【0040】上述の通信システムおよびその他のシステムは、かなりの時間、ある一部のデータ量のみを格納すればよいスタンバイ・モードで動作することが多い。全体動作に活性化された場合、システムは、非常に短時間だけメモリ容量全てが使用可能としなければならない。本発明は、かかる動作を、スタティク・メモリを使用せずに、可能とする。

【0041】本発明の応用はかかるシステムに限定される訳ではない。例えば、太陽熱または風力発電送信機、遠隔地にある地震または温度センサ、緊急用ビーコン、および衛星における場合のように、電源の維持が困難な場合、あるいは電源の交換が不可能な場合において、多くのその他の固定システムおよび遠隔システムにも応用が可能である。例えば、埋め込み型医療装置の小型化および電力消費低減は、患者にとっては買装すべき利点である。なぜなら、電池の交換頻度が少なくなるか、あるいは電池の交換が全く不要になるからである。エネルギー消費を更に減らすことにより、これまでは除外されていた用途にも、ダイナミック・メモリ素子が使用可能となる。

【0042】以上、本発明の一定実施例についての詳細に説明したが、本発明の範囲から逸脱することなく、この教示に基づいて、様々な修正や変更が当業者には可能であることは認められよう。

【0043】本発明のリフレッシュ回路のハードウェアが必要とする空間は、他の素子と比較すると非常に小さい。

い。この改良されたハードウェアは既存のソフトウェアと互換性があるので、本発明を導入すると同時にソフトウェアを変更する必要はない。スタティク素子およびダイナミック素子を組み合わせる従来技術の解決案と比較すると、スタティク・メモリ素子用ハードウェアのような高価なハードウェアの使用は、大幅に減少または回避することができるので、信頼性向上およびコストの節約が得られる。

#### 【図面の簡単な説明】

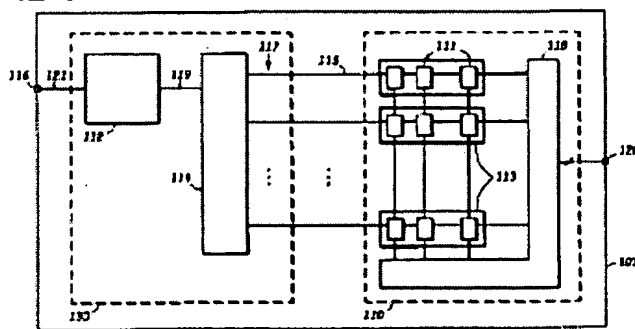
【図1】従来技術において既知のダイナミック・メモリ素子の構成図。

【図2】本発明の好適実施例による改良されたリフレッシュ回路を有するダイナミック・メモリ素子の構成図。

#### 【符号の説明】

201	ダイナミック・メモリ素子
210	メモリ・アレイ
211	記憶素子
212	アドレス発生器
213	ブロック
214	デコーダ
216, 226, 236	オプション端末
218	データ・アクセス手段
222	基準レジスタ
224	制御ロジック
230	リフレッシュ回路
234	ENABLE-入力
250	リンク
260	信号供給源
270	信号制御部

【図1】





【図2】

